

«УТВЕРЖДАЮ»

Первый проректор по учебной работе Московского государственного института радиотехники, электроники и автоматики (технического университета)

А.А. Берзин

« ___ » _____ 20__ г.

**УЧЕБНО-ТЕМАТИЧЕСКИЙ ПЛАН
образовательной программы**

"Система автоматизированного проектирования цифровых устройств на базе программируемых логических интегральных схем фирмы Xilinx"

Длительность обучения: 80 часов.

Квалификация: повышение квалификации.

Форма обучения: очное.

Минимальный уровень образования слушателей: высшее.

Контингент обучаемых: специалисты разработчики цифровых электронных устройств

№ п/п	НАИМЕНОВАНИЕ ТЕМЫ	Кол-во часов, всего	Лекции	Практич., Лаборатор., Семинары	Кол-во Слушателей	Форма контроля
1	2	3	4	5	6	7
1.	Введение в язык VHDL	24	16	8	5	
1.1	Обзор моделирования аппаратных средств	1	1	-		
1.2	Концепция языка.	1	1	-		
1.3	Лабораторная работа 1: Построение иерархии	1	-	1		
1.4	Введение в тестирование	1	1	-		
1.5	Лабораторная работа 2: Моделирование	1	-	1		
1.6	Сигналы и типы данных	1	1	-		
1.7	Операторы и выражения	1	1	-		
1.8	Лабораторная работа 3: Память	2	-	2		
1.9	Параллельные и последовательные конструкции	1	1	-		
1.10	Лабораторная работа 4: Создание N – битного счетчика.	1	-	1		
1.11	Операторы управления.	1	1	-		
1.12	Лабораторная работа 5: Компаратор	2	-	2		
1.13	Переход от поведенческого к RTL уровню абстракции описания аппаратных средств	1	1	-		
1.14	Конечные автоматы	1	1	-		
1.15	Лабораторная работа 6: АЛУ	1	-	1		
1.16	Моделирование с учетом задержек распространения сигналов	1	1	-		
1.17	Лабораторная работа 7. Конечный автомат	2	-	2		
1.18	Особенности описания аппаратных средств на VHDL для ПЛИС ф. Xilinx.	1	1	-		

1.19	Подпрограммы: функции и процедуры	1	1	-		
1.20	Лабораторная работа 8: Калькулятор.	2	-	2		
2	Основы проектирования на ПЛИС ф. Xilinx	8	5	3	5	
2.1	Обзор архитектуры ПЛИС ф. Xilinx	1	1	-		
2.2	Маршрут проектирования.	0.5	0.5	-		
2.3	Лабораторная работа 1: Маршрут проектирования.	0.5	-	0.5		
2.4	Чтение отчетов.	0.5	0.5	-		
2.5	Программы Architecture Wizard и PACE.	0.5	0.5	-		
2.6	Лабораторная работа 2: Architecture Wizard и PACE.	1	-	1		
2.7	Глобальные временные ограничения.	1	1	-		
2.8	Лабораторная работа 3: Глобальные временные ограничения.	1	-	1		
2.9	Базовые опции программ реализации проекта на ПЛИС.	0.5	0.5	-		
2.10	Лабораторная работа 4: Влияние опций программ реализации проекта на	0.5	-	0.5		
2.11	Техника синхронного проектирования.	1	1	-		
3	Создание высокоскоростных схем	16	9	7	15	
3.1	Использование ресурсов ПЛИС Virtex-4	1	1	-		
3.2	Программа Core Generator	1	1	-		
3.3	Лабораторная работа 1: Создание модуля с помощью программы Core Generator	1	-	1		
3.4	Тактовые ресурсы ПЛИС	1	1	-		
3.5	Лабораторная работа 2: Использование тактовых ресурсов	1	-	1		
3.6	Техника проектирования на ПЛИС	1	1	-		
3.7	Техника синтеза схем	1	1	-		
3.8	Лабораторная работа 3: Техника синтеза	1	-	1		
3.9	Достижение скоростных показателей работы схемы	0.5	0.5	-		
3.10	Лабораторная работа 4: Глобальные временные ограничения	0.5	-	0.5		
3.11	Временные группы и ограничения OFFSET	1	1	-		
3.12	Временные ограничения, накладываемые на отдельные пути	1	1	-		
3.13	Лабораторная работа 5: Достижение временных параметров	1	-	1		
3.14	Дополнительные опции программы реализации проекта на ПЛИС	1	1	-		
3.15	Лабораторная работа 6: Реализация высокоскоростных схем	1	-	1		
3.16	Лабораторная работа 7: Введение в программу FPGA Editor	1	-	1		
3.17	Программа ChipScope Pro Analyzer	0.5	0.5	-		
3.18	Лабораторная работа 8: ChipScope Pro Analyzer	0.5	-	0.5		
4	Использование дополнительных возможностей проектирования на ПЛИС ф.Xilinx	16	10	6	15	
4.1	Лабораторная работа 1: Временные ограничения и программа Timing Analyzer	1	-	1		
4.2	Редактирование файла ограничений (UCF)	2	2	-		
4.3	Лабораторная работа 2: Работа с UCF	1	-	1		
4.4	Реализация проекта с командной строки	1	1	-		
4.5	Лабораторная работа 3: Написание командных файлов	1	-	1		
4.6	Создание модуля с предопределенным взаимным расположением элементов (RPM)	2	2	-		
4.7	Лабораторная работа 4: Создание RPM	1	-	1		
4.8	Техника проектирование "Разделяй и властвуй"	1	1	-		

4.9	Программа Floorplaner: эффективное размещение проекта в ПЛИС	2	2	-		
4.10	Лабораторная работа 5: "Разделяй и властвуй"	1	-	1		
4.11	Программа FPGA Editor: просмотр, редактирование и трассировка проекта	2	2	-		
4.12	Лабораторная работа 6: FPGA Editor	1		1		
5	Создание встроенных процессорных систем	16	7	9	10	
5.1	Обзор программы EDK	1	1	-		
5.2	Лабораторная работа 1: Создание простой процессорной системы	1	-	1		
5.3	Основные компоненты встроенной процессорной системы	1	1	-		
5.4	Проектирование процессорной системы	1	1	-		
5.5	Лабораторная работа 2: Добавление модуля к процессорной системе	1	-	1		
5.6	Добавление собственного модуля к шине OPB	1	1	-		
5.7	Лабораторная работа 3: Добавление собственного модуля к процессорной системе	2	-	2		
5.8	Разработка программного обеспечения	1	1	-		
5.9	Лабораторная работа 4: Написание простого приложения	1	-	1		
5.10	Разработка программного обеспечения и отладка в среде SDK	1	1	-		
5.11	Лабораторная работа 5: Написание программы и ее отладка в среде SDK	2	-	2		
5.12	Моделирование процессорной системы	1	1	-		
5.13	Лабораторная работа 6: Моделирование	2	-	2		
6	Итого по курсу, часов	80	47	33		

От Заказчика

от Университета