

Основа лабораторного практикума по проектированию ПЛИС – промышленная САПР ПЛИС ISE Webpack

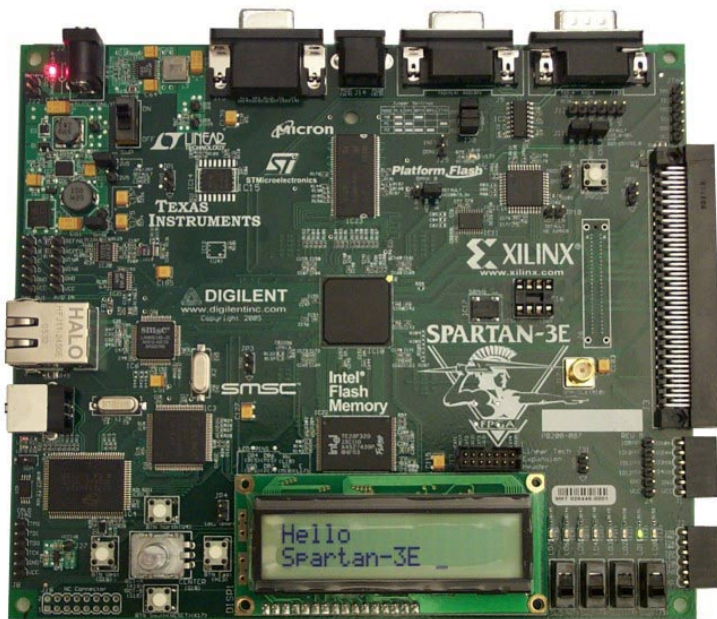
The screenshot displays the Xilinx ISE Design Summary window for a project named 'DEMOPROJECT'. The window is divided into several panes:

- Sources:** Shows the project hierarchy with 'DemoProject' and its sub-components 'xc3s200-5ht256' and 'top (top.sch)'.
- Processes:** Lists various design processes such as 'Add Existing Source', 'Create New Source', 'View Design Summary', 'Design Utilities', 'User Constraints', 'Synthesize -XST', 'Implement Design', 'Generate Programming File', and 'Update Bitstream with Processor Data'.
- FPGA Design Summary:** A tree view showing the structure of the design summary, including 'Design Overview', 'Summary', 'IOB Properties', 'Timing Constraints', 'Pinout Report', 'Clock Report', 'Errors and Warnings', 'Synthesis Messages', 'Translation Messages', 'Map Messages', 'Place and Route Messages', 'Timing Messages', 'Bigen Messages', 'All Current Messages', 'Detailed Reports', 'Project Properties', and 'Enhanced Design Summary Contents'.
- DEMOPROJECT Project Status:** A table providing key project information.
- Detailed Reports:** A table listing various reports and their status.
- Project Properties:** A list of checkboxes for configuring the design summary, such as 'Enable Enhanced Design Summary', 'Enable Message Filtering', 'Display Incremental Messages', 'Show Errors', 'Show Warnings', 'Show Failing Constraints', and 'Show Clock Report'.
- Transcript:** A text area at the bottom showing the output of the design summary process, starting with 'Started : "Launching Design Summary".'

Property	Value	Property	Value
Project File:	DemoProject.ise	Current State:	New
Module Name:	top	• Errors:	
Target Device:	xc3s200-5ht256	• Warnings:	
Product Version:	ISE, 8.1.03i	• Updated:	Чт 11. май 01:45:46 2006

Report Name	Status	Generated	Errors	Warnings	Infos
Synthesis Report					
Translation Report					
Map Report					
Place and Route Report					
Static Timing Report					
Bigen Report					

Рекомендованная плата для оборудования рабочего места



- ПЛИС Spartan-3E 500 тыс. логических вентилей
- Аппаратные блоки умножения обеспечивают простоту и предсказуемость построения цифровых фильтров
- АЦП и ЦАП
- RS-232, Ethernet, USB, VGA, разъемы для подключения цифровых устройств
- Доступны примеры проектов компании-производителя
- Рекомендованная производителем плата для учебных целей (комплект включает в себя САПР и загрузочный кабель)

Список лабораторных работ

- 1. Освоение маршрута проектирования цифровых устройств на базе ПЛИС.
- 2. Создание синхронного проекта на базе ПЛИС
- 3. Основные синтаксические конструкции языка VHDL
- 4. Разработка конечного автомата для управления периферийным устройством.
- 5. Разработка конечного автомата для обмена данными с АЦП и ЦАП с интерфейсом SPI.
- 6. Система сбора данных и спектрального анализа
- 7. Получение навыков работы с двоичной арифметикой
- 8. Создание простейшего цифрового фильтра
- 9. Разработка управляющего процессора для системы цифровой обработки сигналов

Обзор лабораторного практикума: базовый курс

- 1. Освоение маршрута проектирования цифровых устройств на базе ПЛИС.
- 2. Создание синхронного проекта на базе ПЛИС
- 3. Основные синтаксические конструкции языка VHDL
- 1 часть курса (базовый курс) дает основные сведения о порядке проектирования цифровых устройств.
- По завершении лабораторных работ учащиеся будут способны самостоятельно выполнять проектирование основных цифровых узлов, или более сложных по разработанному для них заданию.
- Курс может быть использован отдельно для получения учащимися базовых навыков проектирования без последующей специализации

Обзор лабораторного практикума: расширенные сведения о проектировании

- 4. Разработка конечного автомата для управления периферийным устройством.
- 5. Разработка конечного автомата для обмена данными с АЦП и ЦАП с интерфейсом SPI.
- 6. Система сбора данных и спектрального анализа
- 2 часть курса (расширенные сведения) позволяет реализовывать современные синхронные схемы для решения наиболее ряда задач цифровой обработки сигналов – ввода данных и организации интерфейсов с РС
- Лабораторные работы ориентированы на освоение современного стиля проектирования – system-synchronous проектов – и могут быть рекомендованы для углубления базовых знаний о проектировании цифровых систем

Обзор лабораторного практикума: специализация в цифровой обработке сигналов

- 7. Получение навыков работы с двоичной арифметикой
- 8. Создание простейшего цифрового фильтра
- 9. Разработка управляющего процессора для системы цифровой обработки сигналов
- 3 часть курса предназначена для студентов, углубленно изучающих цифровую обработку сигналов
- Рекомендуется увеличить время выполнения каждой из лабораторных работ до 4-6 учебных часов.