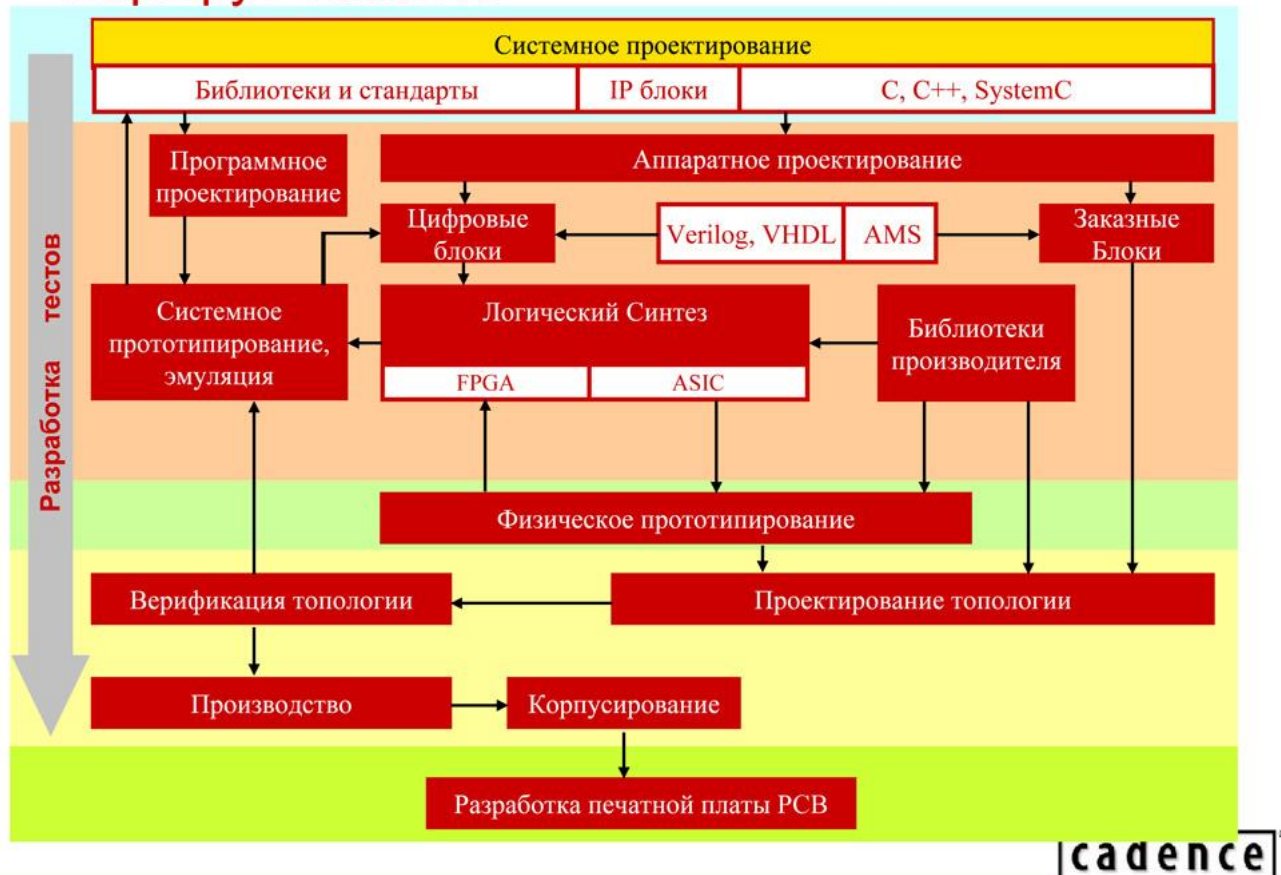


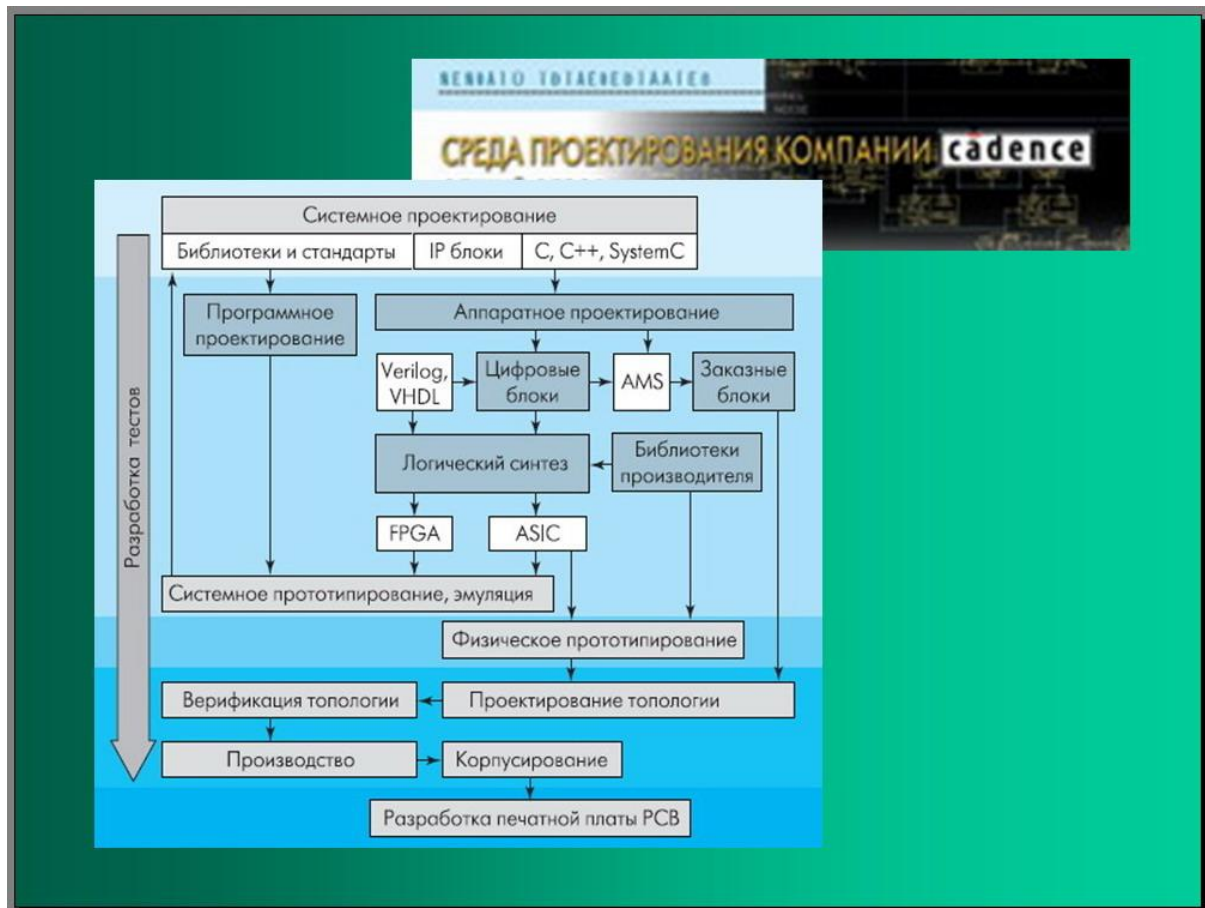
САПР CADENCE

Маршрут Cadence



Пакет САПР CADENCE Combined IC & Systems для проектирования цифровых и аналого-цифровых ИС:

- Incisive Design Team Simulator;
- SOC Encounter – XL;
- Encounter Test Architect – XL;
- Encounter True-Time Test – XL;
- Encounter Timing System – XL;
- Virtuoso Schematic Editor – XL
- Virtuoso Analog Design Environment – XL;
- Virtuoso Multi-mode Simulation
- Virtuoso Layout Suite –GXL;
- Virtuoso Analog Voltage Storm Option
- Virtuoso QRS Extraction – XL;
- Assura Layout Vs. Schematic Verifier
- Cadence AMS Methodology Kit
- Cadence RF SiP Methodology Kit



Основные характеристики:

- 1) анализ и моделирование для разработки цифровых и цифро-аналоговых ИС
- 2) формальная статистическая проверка соответствия логических схем нормам проектирования
- 3) планирование маршрута проектирования логических схем
- 4) программное обеспечение на языке “e”, реализующее автоматическую генерацию тестов, в том числе тестов со случайным распределением параметров
- 5) планирование и управление верификацией проектов сложных цифровых схем
- 6) проверка отсутствия ложных соединений и соответствия временным параметрам
- 7) проверки соответствия описаний на RTL-уровне и на уровне вентилях
- 8) инструментарий полузаказного проектирования, включающий быструю проверку осуществимости и иерархической реализации больших схем, с встроенными процедурами контроля целостности сигналов и их временных параметров
- 9) анализ временных параметров и целостности сигналов на уровне вентилях проекта на кристалле
- 10) анализ выполнения правил проектирования
- 11) извлечение паразитных параметров
- 12) расчеты задержек и целостности сигналов для характеристики библиотечных элементов
- 13) инструменты разработки электрических схем, включая аналоговые и инструменты для разработки и верификации топологии
- 14) инструменты проектирования на функциональном и системном уровне
- 15) симулятор проекта на уровне транзисторов, а также инструменты анализа надежности
- 16) инструменты масштабирования и последующей верификации
- 17) инструменты верификации проектов на физическом уровне
- 18) инструменты для оптимизации потребляемой мощности

Пакеты для проектирования топологии ИС и высокоскоростных печатных плат

- Allegro(R) PCB Design HDL - XL,
- Allegro(R) PCB SI - XL

Основные характеристики:

- 1) разработка описания аналого-цифровых схем HDL, с встроенными автоматическими средствами проверки электрических цепей проекта,
- 2) редактирование многослойной топологии,
- 3) совместимость с AutoCAD DXF, IDF, PADS и P-CAD,
- 4) высокопроизводительный автотрассировщик цепей и инструменты анализа ошибок и расчетов временных задержек и перекрестных влияний,
- 5) инструменты для извлечения S-параметров устройств, учитывающие реальную разводку с потерями на межсоединениях и виртуального прототипирования устройств в диапазоне рабочих частот до десятков ГГц:

Пакеты для проектирования радиочастотных систем в корпусе:

SiP RF Layout – GXL и SiP RF Architect - XL:

Основные характеристики:

- 1) двунаправленное проектирование изменений соединений и слоев в соответствии с принципиальной схемой при взаимодействии разработчиков радиочастотной системы и радиочастотных модулей,
- 2) управление ограничениями на проектирование,
- 3) размещение на подложке и проектирование и редактирование разводки выводов в корпус,
- 4) определение пассивных параметров подложки и учет их влияния в описании устройства при разработке,
- 5) прямой импорт параметров разработанной ИС в виде системы в корпусе (СвК) в редактор проектирования слоев,
- 6) 3-х мерное проектирование и редактирование конструкции модуля в корпусе;
- 7) разработку системы выводов в линейном и матричном исполнении и оптимизацию выводов ИС и СвК для минимизации влияния подложки на параметры системы,
- 8) учет нелинейных искажений, трехмерное изображение разводки для визуальной проверки на возможность реализации операций сварки;
- 9) подключение редактора схем на основе платформы Virtuoso;
- 10) комплексную симуляцию работы радиочастотной схемы, модуля SiP на подложке и встроенных пассивных элементов,
- 11) двунаправленное проектирование изменений, подключение параметров пассивных ячеек,
- 12) прямой экспорт параметров SiP в редактор редактирования топологии